



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Noriyuki KODAMA, et al.**
Filed : **December 3, 2003**
For : **ELECTRO STATIC DISCHARGE...**
Serial No. : **10/728,379**
Art Unit : **2835**
Confirmation No. : **6385**
Examiner :

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

March 17, 2004

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application nos.
2002-353133 filed **December 4, 2002** & **2003-300422** filed **August 25, 2003**, from
which priority was claimed in a Priority Claim filed on December 3, 2003.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

Respectfully submitted,

Michael I. Markowitz
Reg. No. 30,659

CUSTOMER NO.: 026304
DOCKET NO.: NEKU 20.776 (100806-00242)
TELEPHONE: (212) 940-8800
FAX: (212) 940-8986

US
913

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 4 日
Date of Application:

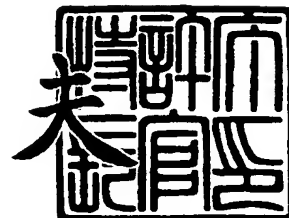
出 願 番 号 特 願 2 0 0 2 - 3 5 3 1 3 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 3 1 3 3]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 73811071

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04

【発明の名称】 静電気放電保護素子

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 児玉 紀行

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 澤島 弘一

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3539-5651

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 0216549

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気放電保護素子

【特許請求の範囲】

【請求項 1】 第 1 導電型基板又は第 1 導電型層の表面に形成された第 2 導電型ウエル及び第 1 導電型ウエルと、前記第 2 導電型ウエルの表面に形成された第 1 高濃度第 2 導電型領域、第 2 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域と、前記第 1 導電型ウエルの表面に形成された第 3 高濃度第 2 導電型領域と、を有し、前記第 1 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域は第 1 電源に接続され、前記第 3 高濃度第 2 導電型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度第 2 導電型領域は前記第 1 電源とは異なる電位に設定されることを特徴とする静電気放電保護素子。

【請求項 2】 第 1 導電型基板又は第 1 導電型層と、この第 1 導電型基板又は第 1 導電型層の表面に相互に隣接して形成された第 2 導電型ウエル及び第 1 の第 1 導電型ウエルと、前記第 1 導電型基板又は第 1 導電型層の表面に形成された第 2 及び第 1 導電型ウエルと、前記第 2 導電型ウエルの表面に形成された第 1 高濃度第 2 導電型領域、第 2 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域と、前記第 1 の第 1 導電型ウエルの表面に形成された第 3 高濃度第 2 導電型領域と、前記第 2 の第 1 導電型ウエルの表面に形成された第 2 高濃度第 1 導電型領域とを有し、前記第 1 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域は第 1 電源に接続され、前記第 3 高濃度第 2 導電型領域及び前記第 2 高濃度第 1 導電型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度第 2 導電型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

【請求項 3】 前記トリガ電流供給回路は、前記第 2 高濃度第 2 導電型領域と前記第 2 の電源との間に接続された MOS トランジスタを有することを特徴とする請求項 2 に記載の静電気放電保護素子。

【請求項 4】 前記トリガ電流供給回路は、前記第 2 高濃度第 2 導電型領域と前記第 2 の電源との間に接続されたダイオードを有することを特徴とする請求項 2 に記載の静電気放電保護素子。

【請求項 5】 前記第 1 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域とは隣接していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 6】 前記第 2 高濃度第 2 導電型領域と前記第 3 高濃度第 2 導電型領域とは隣接していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 7】 前記第 1 高濃度第 2 導電型領域及び前記第 2 高濃度第 2 導電型領域は、夫々複数個の分割領域からなり、前記第 1 高濃度第 2 導電型領域及び前記第 2 高濃度第 2 導電型領域の各分割領域は、前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に交互に配置されており、各分割領域間に前記第 1 高濃度第 1 導電型領域が延出していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 8】 前記第 1 高濃度第 2 導電型領域は 2 分割されて前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に離れて配置されており、前記第 2 高濃度第 2 導電型領域は前記第 1 高濃度第 2 導電型領域の分割領域間に配置され、前記第 1 高濃度第 2 導電型領域の分割領域と前記第 2 高濃度第 2 導電型領域間の前記第 1 高濃度第 1 導電型領域が延出していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 9】 前記第 3 高濃度第 2 導電型領域は 2 分割されて前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に離れて配置されており、前記第 2 導電型ウェルが前記第 3 高濃度第 2 導電型領域の分割領域間に延出しており、前記第 2 高濃度第 2 導電型領域はこの第 2 導電型ウェルの延出領域に配置されていることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 10】 前記第 1 高濃度第 2 導電型領域及び前記第 3 高濃度第 2 導電型領域は夫々 2 分割されて前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に離れて配置されており、前記第 2 導電型ウェルが前記第 3 高濃度第 2 導電型領域の分割領域間に延出しており、前記

第2高濃度第2導電型領域はこの第2導電型ウエルの延出領域に配置されていると共に、前記第1高濃度第1導電型領域は前記第1高濃度第2導電型領域の分割領域間に延出していることを特徴とする請求項2乃至4のいずれか1項に記載の静電気放電保護素子。

【請求項11】 前記第1高濃度第2導電型領域は2分割されて前記第2高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向方向に直交する方向に離れて配置されており、前記第1高濃度第1導電型領域は前記第1高濃度第2導電型領域の分割方向の中央部の前記第3高濃度第2導電型領域寄りの部分が切りかかれており、前記第2高濃度第2導電型領域がこの切欠部に配置されていることを特徴とする請求項2乃至4のいずれか1項に記載の静電気放電保護素子。

【請求項12】 第1導電型基板又は第1導電型層の表面に形成された第2導電型ウエル及び第1導電型ウエルと、前記第2導電型ウエルの表面に形成された第1高濃度第2導電型領域、第2高濃度第2導電型領域及び第1高濃度第1導電型領域と、前記第1導電型ウエルの表面に形成された第3高濃度第2導電型領域及び第3高濃度第1導電型領域と、を有し、前記第1高濃度第2導電型領域及び第1高濃度第1導電型領域は第1電源に接続され、前記第3高濃度第2導電型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度第2導電型領域と前記第3高濃度第1導電型領域とはダイオードを介して接続されていることを特徴とする静電気放電保護素子。

【請求項13】 第1導電型基板又は第1導電型層と、この第1導電型基板又は第1導電型層の表面に相互に隣接して形成された第2導電型ウエル及び第1の第1導電型ウエルと、前記第1導電型基板又は第1導電型層の表面に形成された第2の第1導電型ウエルと、前記第2導電型ウエルの表面に形成された第1高濃度第2導電型領域、第2高濃度第2導電型領域及び第1高濃度第1導電型領域と、前記第1の第1導電型ウエルの表面に形成された第3高濃度第2導電型領域及び第3高濃度第1導電型領域と、前記第2の第1導電型ウエルの表面に形成された第2高濃度第1導電型領域とを有し、前記第1高濃度第2導電型領域及び第1高濃度第1導電型領域は第1電源に接続され、前記第3高濃度第2導電型領域

及び前記第2高濃度第1導電型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度第2導電型領域と前記第3高濃度第1導電型領域とはダイオードを介して接続されていることを特徴とする静電気放電保護素子。

【請求項14】 前記第3高濃度第2導電型領域は2分割されて前記第2高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向方向に直交する方向に離れて配置されており、前記第2導電型ウェルが前記第3高濃度第2導電型領域の分割領域間に延出しており、前記第2高濃度第2導電型領域はこの第2導電型ウェルの延出領域に配置されていると共に、前記第3高濃度第1導電型領域は2分割されて前記第1高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向領域の外側に配置されていることを特徴とする請求項13に記載の静電気放電保護素子。

【請求項15】 前記第2導電型ウェルは前記第3高濃度第1導電型領域の分割領域と前記第2高濃度第2導電型領域との対向領域の背後まで延出していることを特徴とする請求項14に記載の静電気放電保護素子。

【請求項16】 P型基板又はP型層と、このP型基板又はP型層の表面に形成されたNウェルと、前記Nウェルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記P型基板又はP型層の表面に形成された第3高濃度N型領域、第2高濃度P型領域及び第3高濃度P型領域と、前記第1高濃度P型領域と前記第2高濃度N型領域との間に接続された第1抵抗素子と、前記第2高濃度P型領域と前記第3高濃度P型領域との間に接続された第2抵抗素子と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は、前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はチップ上に設けられ静電気放電から内部回路を保護するオンチップ静

電気放電保護素子に関し、特に、ターンオン速度の高速化を図ったサイリスタ型静電気放電保護素子に関する。

【0002】

【従来の技術】

近時、半導体デバイスが複雑化し高密度化しているため、その製造工程における組立工程中等において、静電気放電（ESD: Electro static Discharge）によって半導体デバイスが破壊されるという問題が発生し始めている。その対策として、半導体デバイスのチップ内に、静電気放電の電流を安全な経路で効率的に放電させて内部回路の素子を保護するオンチップ静電気放電保護素子（以下、ESD保護素子ともいう）が設けられている。

【0003】

特に、CMOSトランジスタのチップの場合、微細化が進行して、ゲート酸化膜が極めて薄くなってきており、ゲート酸化膜の耐電圧が低下しているので、ESD放電に対して著しく敏感となっている。つまり、静電気放電保護素子が低インピーダンスになり始める電圧（トリガ電圧）と、ゲート酸化膜の耐電圧との差が小さくなってきているので、大量の電流が流れると、ゲート酸化膜に許容以上の電圧が印加されて、破壊に至る危険性が高くなってきている。従って、近時の静電気放電保護素子には、ゲート酸化膜の耐電圧の低下に伴い、トリガ電圧を低くすることが要求されている。

【0004】

一般に、高速動作を要求されるCMOSトランジスタ回路の入力回路は、低いRC遅延を必要としているので、静電気放電保護回路を付加することにより、付加容量を低くする必要があるし、一般に広く用いられている大きな保護抵抗を使用することはできない。また、付加容量の点以外にも、製造コストの観点からも、保護素子のレイアウト面積を小さくすることが要求されている。

【0005】

特に、サイリスタを利用して、ESD現象によって生じる損傷からチップを保護する方法は、サイリスタが他の保護素子と比較して極めて低容量であり、レイアウト面積も小さく、かつ極めて低い保持電圧を持つという優れた利点を有する

ことから、多用されてきた。

【0006】

このサイリスタ型静電保護素子に関しては、米国特許第5, 225, 702号（特許文献1）、第5, 465, 189号（特許文献2）、第5, 502, 317号（特許文献3）に記載されていると共に、A low-voltage triggering SCR for on-chip ESD protection at output and input pads と題する文献（Chatterjee, A.; Polgreen, T., IEEE Electron Device Letters, Volume: 12 Issue: 1, Jan. 1991 のPage(s): 21 -22（非特許文献1））に記載されている。

【0007】

図16は従来の低電圧トリガサイリスタを示す平面レイアウト図、図17は図16のA-A線による断面図である。P⁺半導体基板1の表面に、第1のPウエル3aと、Nウエル2と、第2のPウエル3bとが形成されており、Nウエル2における素子分離絶縁膜6に仕切られた領域に、サイリスタのアノードとなるP⁺拡散層4と、ウエルコンタクトとなるN⁺拡散層5とが形成され、このNウエル2に隣接するPウエル3b内にNMOSトランジスタのソースドレインとなる1対のN⁺拡散層9と、このN⁺拡散層9間の基板上にゲート電極8が形成されている。また、このN⁺拡散層9のうち、NMOSトランジスタのドレイン部分（P⁺拡散層4側のN⁺拡散層9）が、Nウエル2に接続されており、NMOSトランジスタのソース部分（反対側のN⁺拡散層9）が、サイリスタのカソードとなっている。

【0008】

入力パッドは、Nウエル2中のP⁺拡散層4に接続され、ウエルコンタクトのN⁺拡散層5は電源V_{dd}ラインに接続されている。また、グラウンドパッドは、サイリスタのカソードとなるN⁺拡散層9に接続されている。なお、符号7はラッチアップ防止用のP⁺拡散層であり、接地に接続されてガードリングとなる。

【0009】

サイリスタに接続される入力パッドに正の過電圧静電気が加わると、NMOSトランジスタのドレイン側PN接合がアバランシェブレイクダウンを起こし、M

OSトランジスタが電流を流し始める。そうすると、基板電流が流れることで、基板電位を上昇させる。これは、サイリスタのカソード（NMOSトランジスタのソース）底面の電位を上昇させて、 N^+ / P ダイオードが順バイアスされて、横型 NPN バイポーラ素子11を導通させる要因となる。また、 N ウエル2内に電流が流れることで、 N ウエル2内に電位差が生じて、アノード（ N ウエル2中の P^+ 拡散層4）底面の電位が、 N ウエルコンタクトを構成する N^+ 拡散層5の電位に比較して低下することで、 P^+ / N ダイオードが順バイアスされて、縦型 PNP バイポーラ素子12が導通することになる。この際に、縦型バイポーラ素子12は、基板に電流を供給するので、横型バイポーラ素子11の導通を促進するという正のフィードバックが生じる。このため、1ナノ秒程度の時間内に、低抵抗の電流経路がアノード（ P^+ 拡散層4）－カソード（ N^+ 拡散層9）間に形成される。この保護動作時には、ターン・オン・インピーダンスが極めて低いこと、保持電圧（サイリスタ状態を保てる電圧）が極めて低いことから、大きな電流が流れる場合でも、クランプ電圧が極めて低く、このため、この従来例1のサイリスタは、消費電力、つまり、発生する熱量を抑制することができるという利点を有する。

【0010】

なお、サイリスタの保護性能、つまり、保持電圧、ダイナミック抵抗及び低抵抗になるまでの遷移時間は、アノード－カソード間隔に依存していて、高速動作する高性能のサイリスタを作るためには、その間隔を最小にする必要があると記載されている文献もあるが、実際は、横方向 PNP バイポーラトランジスタ11の性能が低いために、それがサイリスタの性能を決めているという指摘も多い。実際、本願発明者等の追試結果により、アノード（ P^+ 拡散層4）－ N ウエル2間の距離を1～2 μm 離しても、殆ど性能低下が発生しないことが判明した。

【0011】

この点から考えると、低電圧トリガサイリスタは、 N ウエル－カソード間を狭くできない場合が多く、遷移時間が極めて長くなる場合があり、このため、ESD保護性能が大きく低下すると考えられる。

【0012】

なお、トリガのきっかけとなる電流は、従来例 1 の回路に限らず、一定の電圧を超えると電流が流れ始める回路とすればよく、直列にダイオードを接続した回路等もある。

【0013】

図 18 は従来例 2 の保護素子を示す平面レイアウト図、図 19 は図 18 の B-B 線による断面図である。この保護素子においては、NMOS トランジスタの代わりに、第 2 の P ウエル 3b 内に直接トリガタップとなる P⁺ 拡散層 10 が形成されている。この P⁺ 拡散層 10 によるトリガ電流供給により、基板電位を上昇させる（例えば、“Substrate Triggering and Salicide Effects on ESD Performance and Protection Circuit Design in Submicron CMOS Processes” と題する論文（Ameraskera et al., 95 IEDM pp. 547-50（非特許文献 2）））。

【0014】

また、基板トリガ横型 NPN トランジスタを用いた集積化された静電気放電保護回路が提案されている（特開平 09-107074 号（特許文献 4））。これは、特開平 09-107074 号公報の図 13 に記載されているように、基板電流を供給する回路として、N 型 MOSFET を用い、そのソースと、P⁺ 拡散層とを接続する回路を基板バイアス回路としている。米国特許 5,012,317 号（特許文献 5）の図 2a、米国特許 4,939,616 号（特許文献 6）の図 8、非特許文献 1 及びそれらについて上記説明に記載されているように、サイリスタの保持電圧が、電源電圧が低い場合には、通常動作中でラッチアップしてしまう可能性があるので、基板又は N ウエルに抵抗素子を付加して、保持電圧を高くするような工夫がされている。

【0015】

【特許文献 1】

米国特許 5,225,702 号

【特許文献 2】

米国特許 5,465,189 号

【特許文献 3】

米国特許 5,502,317 号

【特許文献 4】

特開平 0 9 - 1 0 7 0 7 4 号公報（基板トリガ横型 N P N トランジスタを用いた集積化された静電気放電保護回路の図 1 3）

【特許文献 5】

米国特許 5, 0 1 2, 3 1 7 号

【特許文献 6】

米国特許 4, 9 3 9, 6 1 6 号

【非特許文献 1】

A low-voltage triggering SCR for on-chip ESD protection at output and input pads と題する論文（Chatterjee, A.; Polgreen, T.: IEEE Electron Device Letters, Volume: 12 Issue: 1, Jan. 1991 のPage(s): 21-22）

【非特許文献 2】

“Substrate Triggering and Salicide Effects on ESD Performance and Protection Circuit Design in Submicron CMOS Processes”, Ameraskera et al. 1995年 IEDM pp. 547-550

【0 0 1 6】

【発明が解決しようとする課題】

特に、SCR に関して、そのターンオンスピードを追及するために、基板電流供給位置を変更した素子構造が非特許文献 1 に記載されている。この方法では、トリガ電流を、アノードカソードにできるだけ近い領域に置くことで、効率的に電位を上昇させることを目的とするものである。

【0 0 1 7】

一般に、高濃度にボロンをドーピングしたシリコン基板に、3 μ m 程度のエピタキシャル膜を成長させた低抵抗基板では、本来的に、基板電位が上昇し難いという問題点がある。従って、電流を多量に供給しなければならないのであるが、基板電流供給用の P⁺ 拡散層の面積が小さいと、その基板までの抵抗が高くなり、十分なトリガ電流を供給できない危険性があるという問題点がある。

【0 0 1 8】

また、通常のサイリスタでも、N ウェルの電位は VDD に接続しているサイリ

スタが一般的である。これは、電源電圧が印加されている状態（通常動作時）で、サイリスタが誤って導通するといった誤動作を防ぐためである。その他に、そのアノードとの間のPNダイオードで、電流を電源保護に流すことにより、縦方向のバイポーラを導通させる目的もある。

【0019】

入力保護の場合は、この回路構成をとることができるのであるが、電源保護にサイリスタを用いる場合には、そのような基準電位が無いので、不可能である。実際、低抵抗基板では、他にトリガ回路を持つサイリスタでも、このようなNウエルをVDDに接続する回路構成としない場合は、保護性能が大きく低下しているし、電源保護でも十分な保護性能が得られていない。つまり、低抵抗基板では、縦型バイポーラ素子を導通させるような回路構成も必要である。

【0020】

また、Nウエル中のPNPバイポーラを積極的に導通させるためには、特許文献1の図11に示すような構造では、ダイオードが電流を流し始める速度は、早くても、数100p秒程度であり、高速の放電現象では、サイリスタのターンオン時間が極めて長くなって、電圧が高くなり過ぎてしまうという問題点がある。

【0021】

上述のごとく、サイリスタを構成する縦型バイポーラトランジスタ素子12を高速に導通させるような構造が必要であること、基板電流を効率的に供給するような構造が必要であること、レイアウト面積を低く抑制する必要があることという要求に応えることができる静電気放電保護素子は従来存在せず、この種の静電気放電保護素子の開発が強く求められている。

【0022】

また、サイリスタの保持電圧を安定的に調整することは重要である。特に、近年、STIプロセス（shallow Trench Isolation）が使用されるようになっており、Nウエル中の抵抗が大きくばらつくことが多くなっている。実際問題として、Nウエル抵抗、基板抵抗は、Nウエル中のN⁺拡散層及びPウエル中のP⁺拡散層の面積又はレイアウトに依存することが多く、サイリスタを製品に適用する場合には、試作及び評価によって、保持電圧などの性能をあわせこむことが必要

であるという問題点がある。また、サイリスタの保持電圧を、先に述べたカソード-Nウエルエッジ間隔を離すことで調整している場合には、動作速度の低下をもたらすというだけではなく、プロセス変更などで、保持電圧などのパラメータがずれた場合に、レティクルを新規に用意しなければならないし、それまで工場で製造されているウエハを廃棄しなければならないという高いリスクを負うことになり、サイリスタの適用に大きな制約を与えているという課題がある。

【0023】

従来例（米国特許4,939,616号）では、Nウエル中の2つのN⁺拡散層の間にP⁺拡散層を挿入して、そのN⁺拡散層間に抵抗素子を付加しているだけの構造であり、これでは、サイリスタ素子をオンさせるにはNウエルの耐圧40V以上の電圧が、被保護素子に印加されてしまう。従って、現在の微細な素子では、耐電圧がこの値をはるかに下回っているので、適用できない。

【0024】

本発明はかかる問題点に鑑みてなされたものであって、縦型バイポーラトランジスタ素子を高速動作させることができ、基板電流を効率的に供給することができ、更にレイアウト面積を低く抑制することができると共に、保持電圧などの素子の性能調整が容易な静電気放電保護素子を提供することを目的とする。

【0025】

【課題を解決するための手段】

本発明は以下の特徴を有する。但し、特許請求の範囲に記載の第1導電型をP型とし、第2導電型をN型として記載する。しかし、本発明はこれに限らず、逆の導電型でもよい。

【0026】

本願第1発明に係る静電気放電保護素子は、P型基板又はP型層の表面に形成されたNウエル及びPウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記Pウエルの表面に形成された第3高濃度N型領域と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域は前記第1電

源とは異なる電位に設定されることを特徴とする。

【0027】

本願第2発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に相互に隣接して形成されたNウェル及び第1Pウェルと、前記P型基板又はP型層の表面に形成された第2Pウェルと、前記Nウェルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記第1Pウェルの表面に形成された第3高濃度N型領域と、前記第2のPウェルの表面に形成された第2高濃度P型領域とを有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする。

【0028】

この静電気放電保護素子において、前記トリガ電流供給回路は、例えば、前記第2高濃度N型領域と前記第2の電源との間に接続されたMOSトランジスタを有する。

【0029】

又は、前記トリガ電流供給回路は、前記第2高濃度N型領域と前記第2の電源との間に接続されたダイオードを有する。

【0030】

この静電気放電保護素子において、例えば、①前記第1高濃度P型領域と前記第3高濃度N型領域とは隣接している、②前記第2高濃度N型領域と前記第3高濃度N型領域とは隣接している、③前記第1高濃度N型領域及び前記第2高濃度N型領域は、夫々複数個の分割領域からなり、前記第1高濃度N型領域及び前記第2高濃度N型領域の各分割領域は、前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に交互に配置されており、各分割領域間に前記第1高濃度P型領域が延出している、④前記第1高濃度N型領域は2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記第2高濃度N型領域は前記第1高濃度N型領

域の分割領域間に配置され、前記第 1 高濃度 N 型領域の分割領域と前記第 2 高濃度 N 型領域間の前記第 1 高濃度 P 型領域が延出している、⑤前記第 3 高濃度 N 型領域は 2 分割されて前記第 2 高濃度 P 型領域と前記第 3 高濃度 N 型領域との対向方向に直交する方向に離れて配置されており、前記 N ウエルが前記第 3 高濃度 N 型領域の分割領域間に延出しており、前記第 2 高濃度 N 型領域はこの N ウエルの延出領域に配置されている、⑥前記第 1 高濃度 N 型領域及び前記第 3 高濃度 N 型領域は夫々 2 分割されて前記第 2 高濃度 P 型領域と前記第 3 高濃度 N 型領域との対向方向に直交する方向に離れて配置されており、前記 N ウエルが前記第 3 高濃度 N 型領域の分割領域間に延出しており、前記第 2 高濃度 N 型領域はこの N ウエルの延出領域に配置されていると共に、前記第 1 高濃度 P 型領域は前記第 1 高濃度 N 型領域の分割領域間に延出している、⑦前記第 1 高濃度 N 型領域は 2 分割されて前記第 2 高濃度 P 型領域と前記第 3 高濃度 N 型領域との対向方向に直交する方向に離れて配置されており、前記第 1 高濃度 P 型領域は前記第 1 高濃度 N 型領域の分割方向の中央部の前記第 3 高濃度 N 型領域寄りの部分が切りかかれており、前記第 2 高濃度 N 型領域がこの切欠部に配置されている。

【0031】

本願第 3 発明に係る静電気放電保護素子は、P 型基板又は P 型層の表面に形成された N ウエル及び P ウエルと、前記 N ウエルの表面に形成された第 1 高濃度 N 型領域、第 2 高濃度 N 型領域及び第 1 高濃度 P 型領域と、前記 P ウエルの表面に形成された第 3 高濃度 N 型領域及び第 3 高濃度 P 型領域と、を有し、前記第 1 高濃度 N 型領域及び第 1 高濃度 P 型領域は第 1 電源に接続され、前記第 3 高濃度 N 型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度 N 型領域と前記第 3 高濃度 P 型領域とはダイオードを介して接続されていることを特徴とする。

【0032】

本願第 4 発明に係る静電気放電保護素子は、P 型基板又は P 型層と、この P 型基板又は P 型層の表面に相互に隣接して形成された N ウエル及び第 1 P ウエルと、前記 P 型基板又は P 型層の表面に形成された第 2 P ウエルと、前記 N ウエルの表面に形成された第 1 高濃度 N 型領域、第 2 高濃度 N 型領域及び第 1 高濃度 P 型

領域と、前記第 1 P ウェルの表面に形成された第 3 高濃度 N 型領域及び第 3 高濃度 P 型領域と、前記第 2 の P ウェルの表面に形成された第 2 高濃度 P 型領域とを有し、前記第 1 高濃度 N 型領域及び第 1 高濃度 P 型領域は第 1 電源に接続され、前記第 3 高濃度 N 型領域及び前記第 2 高濃度 P 型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度 N 型領域と前記第 3 高濃度 P 型領域とはダイオードを介して接続されていることを特徴とする。

【0033】

この静電気放電保護素子において、例えば、前記第 3 高濃度 N 型領域は 2 分割されて前記第 2 高濃度 P 型領域と前記第 3 高濃度 N 型領域との対向方向に直交する方向に離れて配置されており、前記 N ウェルが前記第 3 高濃度 N 型領域の分割領域間に延出しており、前記第 2 高濃度 N 型領域はこの N ウェルの延出領域に配置されていると共に、前記第 3 高濃度 P 型領域は 2 分割されて前記第 1 高濃度 P 型領域と前記第 3 高濃度 N 型領域との対向領域の外側に配置されている。

【0034】

又は、前記 N ウェルは前記第 3 高濃度 P 型領域の分割領域と前記第 2 高濃度 N 型領域との対向領域の背後まで延出している。

【0035】

本願第 5 発明に係る静電気放電保護素子は、P 型基板又は P 型層と、この P 型基板又は P 型層の表面に形成された N ウェルと、前記 N ウェルの表面に形成された第 1 高濃度 N 型領域、第 2 高濃度 N 型領域及び第 1 高濃度 P 型領域と、前記 P 型基板又は P 型層の表面に形成された第 3 高濃度 N 型領域、第 2 高濃度 P 型領域及び第 3 高濃度 P 型領域と、前記第 1 高濃度 P 型領域と前記第 2 高濃度 N 型領域との間に接続された第 1 抵抗素子と、前記第 2 高濃度 P 型領域と前記第 3 高濃度 P 型領域との間に接続された第 2 抵抗素子と、を有し、前記第 1 高濃度 N 型領域及び第 1 高濃度 P 型領域は第 1 電源に接続され、前記第 3 高濃度 N 型領域及び前記第 2 高濃度 P 型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度 N 型領域はトリガ電流供給用回路に接続されていることを特徴とする。

【0036】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本発明の第1実施形態に係る静電気放電保護素子の各領域のレイアウトを示す図、図2はトリガ方式を示す図であって各層の配置とトリガ電流供給回路を示す図、図3はこのトリガ電流供給回路の変形例を示す図である。図17に示す従来例1と同様に、P⁺半導体基板1（図2、3参照）の表面に、第2のPウエル20a（図2、3参照）、素子分離絶縁膜、第1のNウエル21及び第1のPウエル20b（図2、3参照）が形成されており、第1のNウエル21と第1のPウエル20bとは隣接している。

【0037】

第2のPウエル20a内には、グランドコンタクトとなるラッチアップ防止用P⁺拡散層22が形成されており、第1のNウエル21内には、ウエルコンタクトのN⁺拡散層23と、トリガ電流供給用のN⁺拡散層24と、サイリスタのアノードとなるP⁺拡散層25とが形成されている。更に、この第1のNウエル21と隣接する第1のPウエル20b内には、サイリスタのカソードとなるN⁺拡散層27と、NMOSトランジスタのソース28及びドレイン29が形成されている。ソース28及びドレイン29間の第1のPウエル20b上には、ゲート絶縁膜を介してゲート電極30が形成されている。これらのP⁺拡散層22と、N⁺拡散層23と、N⁺拡散層24と、P⁺拡散層25と、N⁺拡散層27との夫々の間は、素子分離絶縁膜により分離されている。

【0038】

また、本実施形態においても、P⁺拡散層25と、第1のNウエル21と、P⁺半導体基板1とにより、縦型PNPバイポーラトランジスタが構成され、N⁺拡散層27と、第1のPウエル20bと、第1のNウエル21とにより、横型NPバイポーラトランジスタが構成される。

【0039】

本発明においては、サイリスタを構成する縦型PNPバイポーラトランジスタを導通させるために、（1）Nウエル21内に電流を発生させる経路を作ること、（2）Nウエル21内から、基板電流を供給するような径路を作ることの特徴

としている。

【0040】

そして、本実施形態においては、電源保護の場合に、Nウエルコンタクト（N⁺拡散層23）とアノード（P⁺拡散層25）とは、Nウエル21内部か、又は外部電極で、共通の電位（電源保護の場合であると、V_{dd}）に接続されている。カソード（N⁺拡散層27）及びラッチアップ防止用P⁺拡散層22はグラウンド線V_{ss}に接続されている。

【0041】

また、Nウエル21内に、トリガ電流供給用のN⁺拡散層24が設けられている。そのN⁺拡散層24とグラウンド電極との間に、NMOS電界効果トランジスタ40（図2）又は直列ダイオード41（図3）等のトリガ電流供給回路が挿入されている。

【0042】

図2に示すトリガ電流供給回路は、電源V_{dd}と、グラウンド線V_{ss}との間に、トランジスタ33と抵抗32とが直列に接続されており、このトランジスタ33と抵抗32との間の接続点にNMOSトランジスタ40のゲートが接続されている。このNMOSトランジスタ40のドレインはトリガ電流供給用N⁺拡散層24に接続されており、ソースはグラウンド線V_{ss}に接続されている。

【0043】

図3に示すトリガ電流供給回路は、トリガ電流供給用のN⁺拡散層24とグラウンド線V_{ss}との間に、複数個の直列接続されたダイオード41が接続されている。これらのトリガ電流供給回路は、電圧が印加された場合に、その回路の抵抗値が低くなり、電流経路となる。

【0044】

次に、上述のごとく構成された本実施形態の静電気放電保護素子の動作について説明する。サージ電流が流れた場合、先ず、トリガ電流供給回路に電圧が加わり、その回路の抵抗値が低くなり、電流経路となる。つまり、電流は、電源V_{dd}に接続されたNウエルコンタクト（N⁺拡散層23）から、トリガ電流供給用N⁺拡散層24を経由して、グラウンド線に流れて行く。その過程で、Nウエル2

1内では、Nウエル抵抗と、電流との積 IR だけ、電位差が生じることになる。従って、 P^+ 拡散層 25 (アノード) の底面近傍の電位は、流れる電流量に応じて、基準電位 (電源電位) よりも低くなり、 P^+ 拡散層 25 と Nウエル 21 とで形成される P^+N ダイオードを、順バイアスするようになる。そこで、この領域の縦形 PNP 寄生バイポーラトランジスタがオンし始めて、基板方向に電流が分配される。

【0045】

基板電位の上昇は、横形 PNP バイポーラトランジスタでのベース電位の上昇を意味するので、横形 PNP バイポーラトランジスタもオンするようになる。

【0046】

そうすると、再び、発生した電子電流が Nウエル 21 に供給されて、縦型バイポーラの導通を促進させて、正のフィードバックがかかり、高速で低抵抗の電流経路が、アノード-カソード間に形成される。

【0047】

通常、サイリスタにおいては、そのターンオンする速度は、アノード-カソード間の距離が短いほうが速いとされているので、図 1 に示すように、トリガ電流供給用の N^+ 拡散層 24 の形成位置は、アノード (P^+ 拡散層 25) に関してカソード (N^+ 拡散層 27) とは逆側に設け、アノード (P^+ 拡散層 25) とカソード (N^+ 拡散層 27) とを、近接して配置する。

【0048】

本実施形態では、 N^+ 拡散層 24 により、直接、Nウエル 21 に電流を供給するので、高速に Nウエル 21 中に電流を流すことができ、高速にターンオンすることができる。

【0049】

従来例では、 V_{dd} に接続された電源保護がターンオンして電流を流すことにより、縦型 PNP バイポーラが導通する。これは、 PN ダイオードの抵抗値又は配線抵抗の電圧降下で、電源保護に印加される電圧が低く、電源保護がオンする際には、保護素子には実際には高い電圧が印加されている場合が多い。その他に、 PN ダイオードの順方向の電流なので、動作速度は遅く、低抵抗にな

る（ターンオンする）までに時間がかかり、素子間電圧が高くなってしまうことも考えられる。これに対し、本発明は上述のごとく、直接Nウェル21に電流を供給するので、高速にターンオンすることができる。

【0050】

次に、本発明の第2実施形態に係る静電気放電保護素子について図4及び図5を参照して説明する。本実施形態においては、Nウェル21内にトリガ電流供給用N⁺拡散層24を、隣接するPウェル20b内のサイリスタのカソードとなるN⁺拡散層27に近接して配置し、Nウェル21内のサイリスタのアノードとなるP⁺拡散層25をウェルコンタクトのN⁺拡散層23とトリガ電流供給用N⁺拡散層24との間に配置している。従って、トリガ電流供給用N⁺拡散層24が、アノード-カソード間のNウェル21内に設けられている。この場合も、Nウェル21とカソードとの間は最短距離としている。Nウェル-アノード間隔は1～2μmとなるが、サイリスタの動作においては、横形バイポーラトランジスタのベース幅が主にターンオンするまでの速度を決めているから、アノード-Nウェル間隔がこの程度離れても、ターンオンするまでの速度に大きな影響が無い場合が多い。

【0051】

図1乃至図3に示す第1実施形態の場合は、トリガ電流（NウェルコンタクトのN⁺拡散層23から供給された電流）は、P⁺拡散層25側は通過せずに、トリガ電流供給用のN⁺拡散層24に流れるので、P⁺拡散層25の底面の電位を低くする効果は、限られてしまう（他の実施形態と比較して）が、図4及び図5に示す第2実施形態では、P⁺拡散層25の下側を電流が流れることで、効果的に、P⁺拡散層底面と、V_{dd}間の電位差を生じさせることができる。このため、より高速にサイリスタ素子をターンオンさせることができる。この場合に、N⁺拡散層24は、サージ電流が流れる経路に配置されているので、温度上昇による影響で、熱的な破壊が起きる場合がある。しかし、これはメタル配線又はコンタクトの配置等の工夫で回避できるし、実際には、保護素子自身の破壊が生じる前に、被保護素子が高電圧になって破壊する場合が多いので、サイリスタの動作の高速性を測る方が有利であるとの観点から、有効な方式である。

【0052】

次に、本発明の第3実施形態に係る静電気放電保護素子について、図6を参照して説明する。本実施形態においては、Nウエル21内に、Pウエル20a内のP⁺拡散層22と、Pウエル20b内のN⁺拡散層27との対向方向に直交する方向に、NウエルコンタクトのN⁺拡散層23とトリガ電流供給用のN⁺拡散層24とが交互に並んで配置されている。そして、これらのN⁺拡散層23とN⁺拡散層24との間に入り込むようにして、楕形の1個のP⁺拡散層25（アノード）が配置されている。

【0053】

このように構成された本実施形態の静電気放電保護素子においては、アノード（P⁺拡散層25）とカソード（N⁺拡散層27）との間の距離を最短距離にできると共に、トリガ電流はP⁺拡散層25の下側を通過するので電位差がつきやすいようになる。また、NウエルコンタクトのN⁺拡散層23と、トリガ電流供給用N⁺拡散層24との間の抵抗値を低くできるので、トリガ電流量を高くでき、また、これらの拡散層を交互に配置することで、電流をP⁺拡散層25の底面に流すことができるので、高速にサイリスタ素子を、ターンオンさせることができる。

【0054】

次に、図7を参照して本発明の第4実施形態に係る静電気放電保護素子について説明する。本実施形態は、図6に示す第3実施形態と同様のレイアウトを有するが、Nウエルコンタクトとなる1対のN⁺拡散層23a、23bを、Nウエル21内の両端部（P⁺拡散層22とN⁺拡散層27との対向方向に直交する方向の両端部）に配置し、トリガ電流供給用N⁺拡散層24をN⁺拡散層23a、23b間の中央に配置する点が第3実施形態と異なる。

【0055】

本第4実施形態においては、電流が1対のN⁺拡散層23a、23bからNウエル21の中央部分に流れ込んでくると、Nウエル21の中央部では両端部との間の電位差が大きくなっており、PNP縦型バイポーラが導通することにより、サイリスタにトリガがかかる。

【0056】

次に、本発明の第5実施形態について図8を参照して説明する。本実施形態においては、カソードとして、2つに分割したN⁺拡散層27a、27bを形成し、これらのN⁺拡散層27a、27b間に、Nウェル21を延出させて配置する。そして、このNウェル21の延出部にトリガ電流供給用のN⁺拡散層24を配置する。本実施形態も上記各実施形態と同様の作用効果を奏すると共に、トリガ電流はP⁺拡散層25の下を流れる。

【0057】

次に、図9を参照して本発明の第6実施形態について説明する。本実施形態においては、Nウェルコンタクトを2つのN⁺拡散層23a、23bに分割し、このN⁺拡散層23a、23b間を含むNウェル21内にアノードのP⁺拡散層25を配置した点が、図8に示す第5実施形態と異なる。本実施形態も上記各実施形態と同様の作用効果を奏する。

【0058】

次に、図10を参照して本発明の第7実施形態について説明する。本実施形態の静電気放電保護素子は、Nウェル21内のP⁺拡散層22とN⁺拡散層27との対向方向に直交する方向の両端部に、1対のN⁺拡散層23a、23bをNウェルコンタクトとして配置し、これらのN⁺拡散層23a、23b間に、アノードのP⁺拡散層25を、その長手方向の中央部のカソードN⁺拡散層27寄りの部分を切り欠いた形状で形成し、この切り欠き部に、トリガ電流供給用のN⁺拡散層24を配置したものである。

【0059】

本実施形態においては、トリガ電流は矢印にて示す方向に流れて、電流抵抗積(I R)分がNウェルコンタクトのN⁺拡散層23a、23bの下面のPN接合を順方向にバイアスするので、Nウェル中の縦型バイポーラトランジスタのNウェル21に近い領域が、最初にオンして、基板方向に電流を流すようになる。前述のごとく、サイリスタの動作をオンするには、横型バイポーラトランジスタのベース(サイリスタのアノード-カソード間)に近い領域の電位を高くすることが効率的である。本実施形態は、この点で好ましい。

【0060】

図11は本発明の第8実施形態に係る静電気放電保護素子を示す図、図12はトリガ方式を示す図であって各層の配置とトリガ電流供給回路を示す図である。本実施形態においては、第2のPウエル20a内にグランドコンタクトとなるラッチアップ防止用のP⁺拡散層22が形成され、Nウエル21内に、NウエルコンタクトとなるN⁺拡散層23と、トリガ電流供給用のN⁺拡散層24と、アノードとなるP⁺拡散層25とが、P⁺拡散層22側からこの順に形成され、第1のPウエル20b内のアノード（P⁺拡散層25）側に、カソードとなるN⁺拡散層27が形成され、更にトリガ電流供給用のP⁺拡散層26が形成されたものである。

【0061】

そして、Nウエル21内のN⁺拡散層24と、第1のPウエル20b内のP⁺拡散層26との間に、トリガ電流供給回路の直列ダイオード41が接続されている。また、グランドコンタクトのP⁺拡散層22と、カソードのN⁺拡散層27とが、グランド線V_{ss}に共通接続され、NウエルコンタクトのN⁺拡散層23と、アノードのP⁺拡散層25とが、電源V_{dd}に共通接続されている。

【0062】

本実施形態においては、トリガ電流供給用回路（直列ダイオード41）を、Nウエル21とPウエル20bとを接続するように配置して、両ウエル間で電流を流すようにしている。基板1が低抵抗基板（基板の抵抗が極めて低く、その上に成長したエピタキシャル膜厚が、薄く、基板の抵抗率が極めて低い基板）では、カソード（N⁺拡散層27）のすぐわきにトリガ電流供給用のP⁺拡散層26を配置すると、基板に直接電流を供給する経路のほかに、そのPNダイオードが順バイアスされて、ダイオード41が導通して、電子電流が放出されることで、その電子電流がNウエル21に吸収される。

【0063】

図13は本発明の第9実施形態に係る静電気放電保護素子を示す図である。図13において、図8と異なる点は、トリガ電流供給用のP⁺拡散層26a、26bを、サイリスタを構成するP⁺拡散層25（アノード）と、N⁺拡散層27a

、27b（カソード）との横側（アノードとカソードとが対向する領域から外れた位置）に配置してもよい。

【0064】

これにより、図中矢印にて示すように、Nウエル21内を流れる電流経路が形成される。また、P⁺拡散層26a、26bから、N⁺拡散層24に流れる電流がサイリスタ内を流れるようになる。

【0065】

図14は本発明の第10実施形態に係る静電気放電保護素子を示す図である。本実施形態が、図13に示す実施形態と異なる点は、Nウエル21の一部21a、21bがトリガ電流供給用のP⁺拡散層26a、26bからN⁺拡散層24に向う電流経路の背後に位置していることである。

【0066】

これにより、P⁺拡散層26a、26bからN⁺拡散層24に向う基板電流が、Nウエル21の一部21a、21bによりブロックされ、基板電流はN⁺拡散層24に向かう方向に流れやすくなる。これにより、Nウエル21からの電流を基板に流す電流パスを形成する際に、P⁺拡散層26a、26bから、基板方向への電流が、サイリスタ内部に広がっていくようになる。

【0067】

次に、図16を参照して、本発明の第11実施形態に係る静電気放電保護素子について説明する。P⁺半導体基板1の表面にNウエル21が形成されており、このNウエル21の表面にNウエルコンタクトのN⁺拡散層23と、アノードのP⁺拡散層25と、トリガ電流供給用のN⁺拡散層24とが形成されている。また、P⁺半導体基板1の表面にカソードのN⁺拡散層27と、トリガ電流供給用のP⁺拡散層26と、ラッチアップ防止用グランドコンタクトのP⁺拡散層22とが形成されている。そして、NウエルコンタクトのN⁺拡散層23及びアノードのP⁺拡散層25にはパッド51が接続されており、トリガ電流供給用のN⁺拡散層24には、トリガ電流供給回路（図2のNMOSトランジスタ40又は図3の直列ダイオード41等）が接続されており、このN⁺拡散層24と、N⁺拡散層23及びP⁺拡散層25とが抵抗素子52を接続されている。また、ラッチ

アップ防止用グランドコンタクトのP⁺拡散層22とカソードのN⁺拡散層27が接地に接続されており、トリガ電流供給用のP⁺拡散層26は抵抗素子53を介して接地に接続されている。

【0068】

上述の如く構成された本実施形態においては、サイリスタ動作時にトリガ電流をトリガ電流供給回路から供給して、縦型バイポーラを動作させるので、トリガ電圧は、従来技術（米国特許4,939,616号）に比較して、著しく低くすることができる。また、抵抗素子52,53として、予め多数の抵抗素子を配置しておき、上層配線を使用してこれらの抵抗素子を選択して接続することにより所望の抵抗値となるようにすることができ、サイリスタ特性を最終的に調整できるので、プロセス変更に際して、サイリスタの特性の合わせこみが容易になるという利点もある。図16では抵抗素子52,53を使用しているが、この他にも、P⁺タップとしてのP⁺拡散層26の面積、又はグランドに接続されているP⁺ガードリングとしてのP⁺拡散層22からの距離等で、抵抗値を調節するようにしてもよい。

【0069】

【発明の効果】

以上詳述したように、本発明によれば、高濃度第2導電型領域（N⁺拡散層24）により、直接、第2導電型ウエル（Nウエル21）に電流を供給するので、高速にNウエル21中に電流を流すことができ、縦型バイポーラトランジスタを高速にターンオンすることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図2】

同じくその各層の配置とトリガ電流供給回路の等価回路を示す図である。

【図3】

同じくそのトリガ電流供給回路の変形例を示す図である。

【図 4】

本発明の第 2 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 5】

同じくその各層の配置とトリガ電流供給回路の等価回路を示す図である。

【図 6】

本発明の第 3 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 7】

本発明の第 4 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 8】

本発明の第 5 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 9】

本発明の第 6 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 1 0】

本発明の第 7 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 1 1】

本発明の第 8 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 1 2】

同じくその各層の配置と接続態様を示す図である。

【図 1 3】

本発明の第 9 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 1 4】

本発明の第10実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図15】

本発明の第11実施形態に係る静電気放電保護素子の断面図である。

【図16】

従来の静電気放電保護素子のレイアウトを示す図である。

【図17】

同じくその各層の配置態様を示す図である。

【図18】

従来の他の静電気放電保護素子のレイアウトを示す図である。

【図19】

同じくその各層の配置態様を示す図である。

【符号の説明】

- 1：P⁺半導体基板
- 2、21、21a、21b：Nウェル
- 3a、3b、20a、20b：Pウェル
- 4、7、10：P⁺拡散層
- 5、9：N⁺拡散層
- 11：横型NPNバイポーラ素子
- 12：縦型PNPバイポーラ素子
- 22：P⁺拡散層（ラッチアップ防止用グランドコンタクト）
- 23、23a、23b：N⁺拡散層（Nウェルコンタクト）
- 24：N⁺拡散層（トリガ電流供給用）
- 25：P⁺拡散層（アノード）
- 26、26a、26b：P⁺拡散層（トリガ電流供給用）
- 27、27a、27b：N⁺拡散層（カソード）
- 28：ソース
- 29：ドレイン
- 8、30：ゲート

3 3、4 0：NMOS トランジスタ

4 1：直列ダイオード

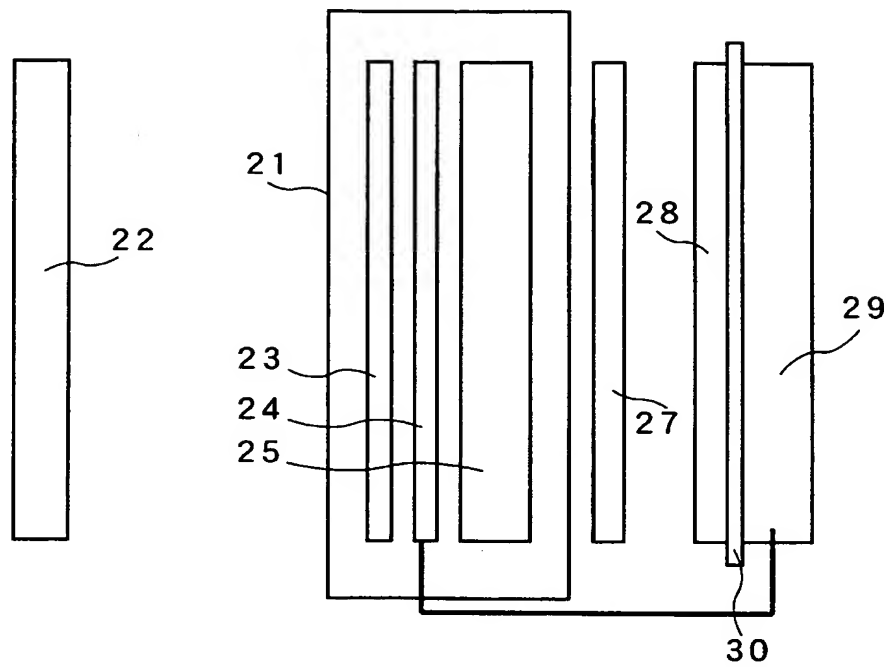
5 1：パッド

5 2、5 3：抵抗素子

【書類名】

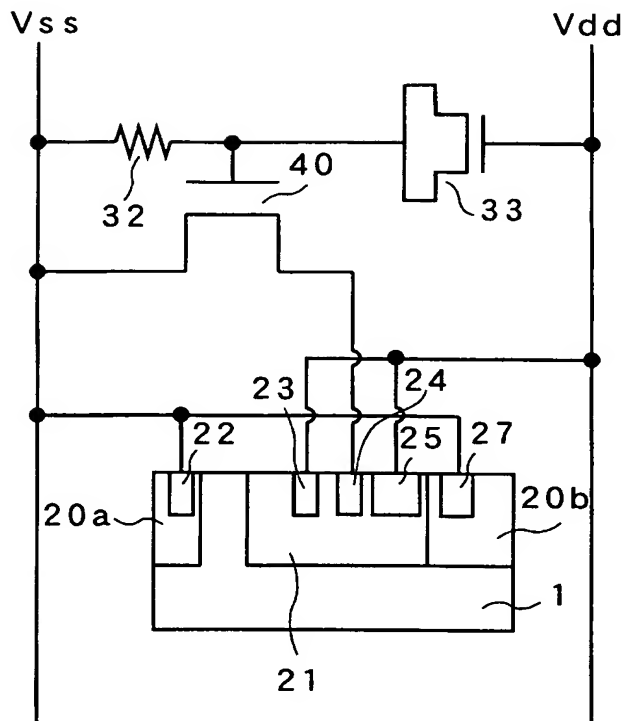
図面

【図 1】



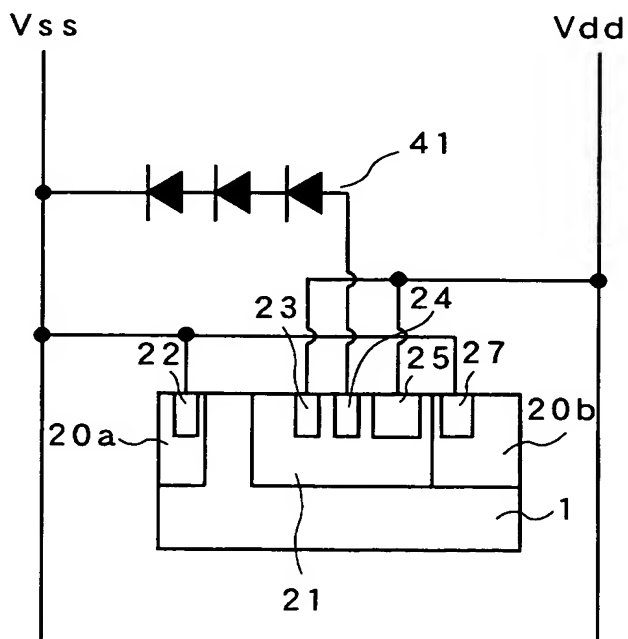
- 21 : Nウエル
- 22 : P⁺ 拡散層
- 23 : N⁺ 拡散層
- 24 : N⁺ 拡散層
- 25 : P⁺ 拡散層
- 27 : N⁺ 拡散層
- 28 : ソース
- 29 : ドレイン
- 30 : ゲート電極

【図 2】



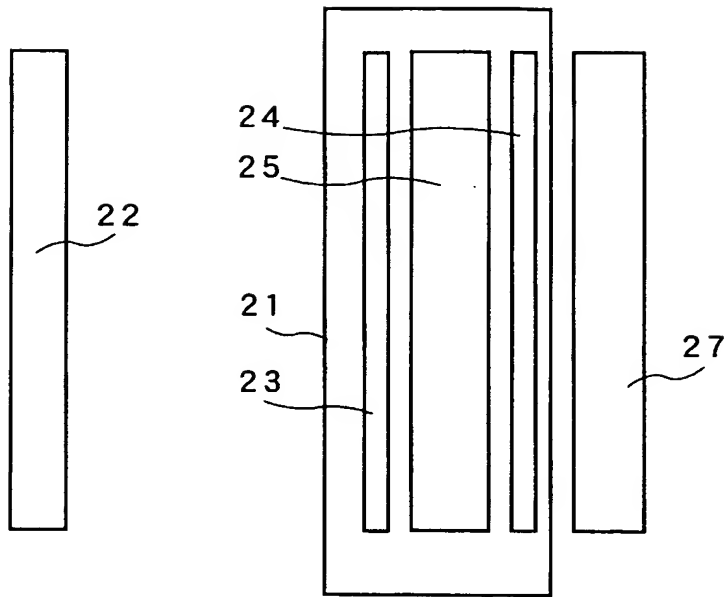
- 1 : P⁺ 半導体基板
- 20a、20b : Pウエル
- 32 : 抵抗
- 33 : トランジスタ
- 40 : トランジスタ

【図 3】

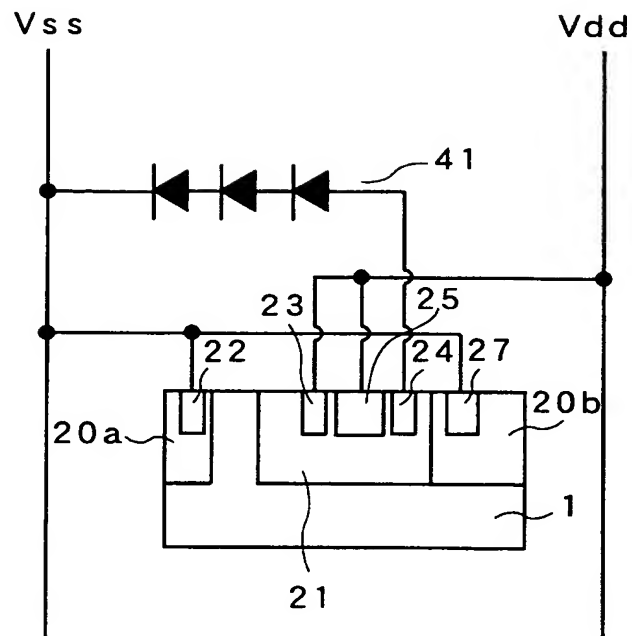


- 41 : ダイオード

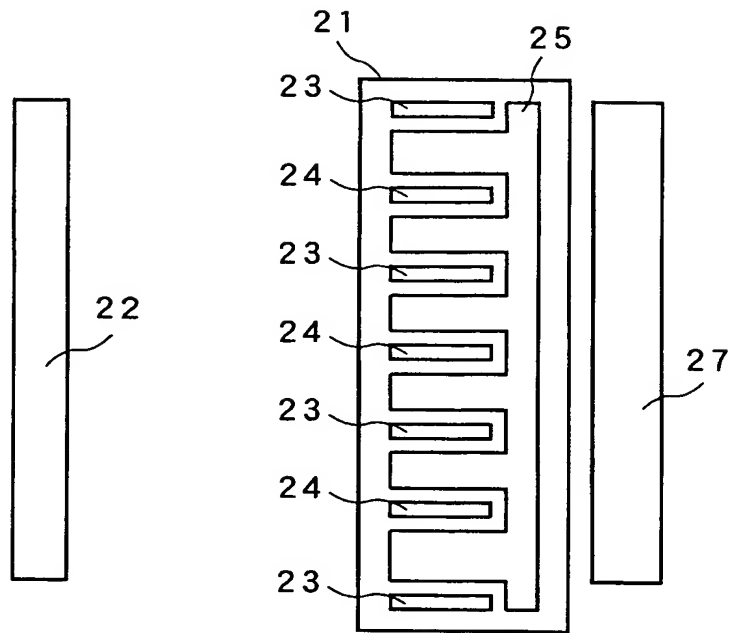
【図 4】



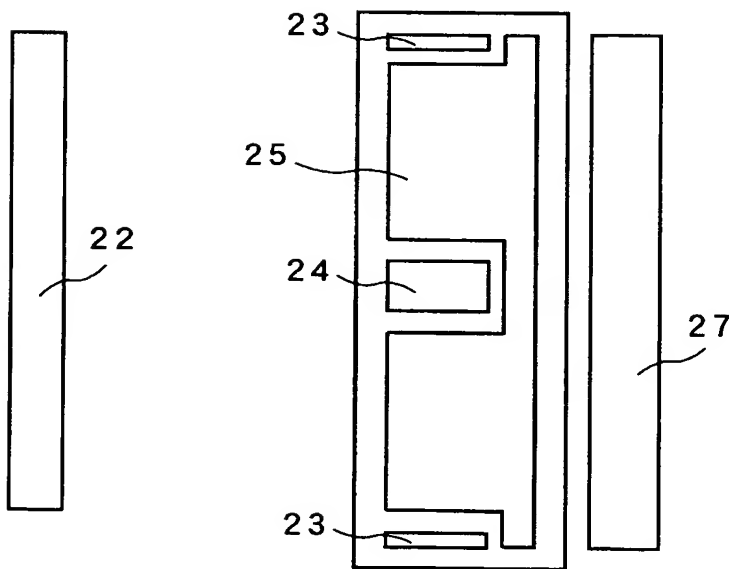
【図 5】



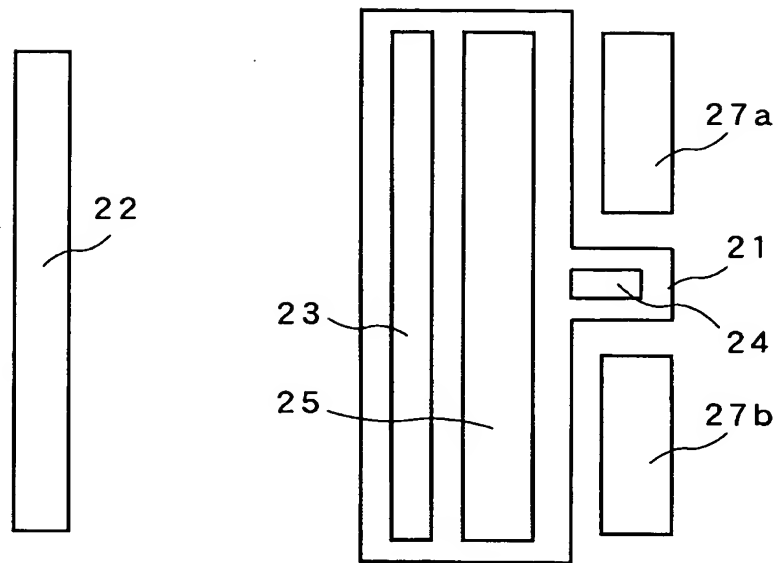
【図 6】



【図 7】

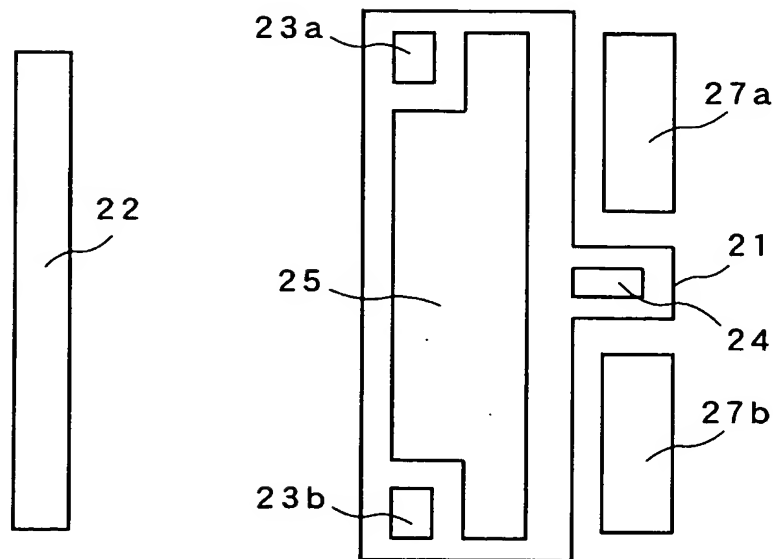


【図 8】



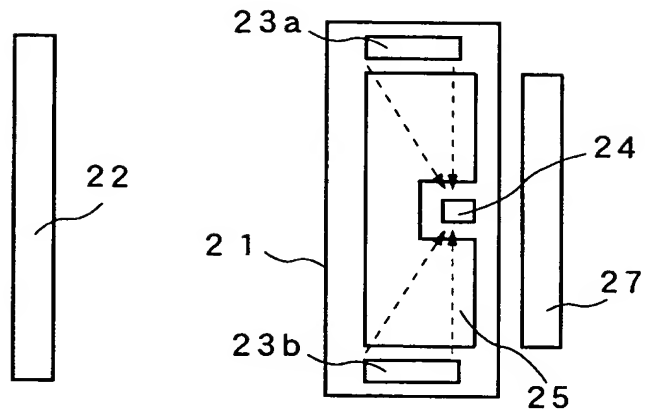
27a、27b: N^+ 拡散層

【図 9】

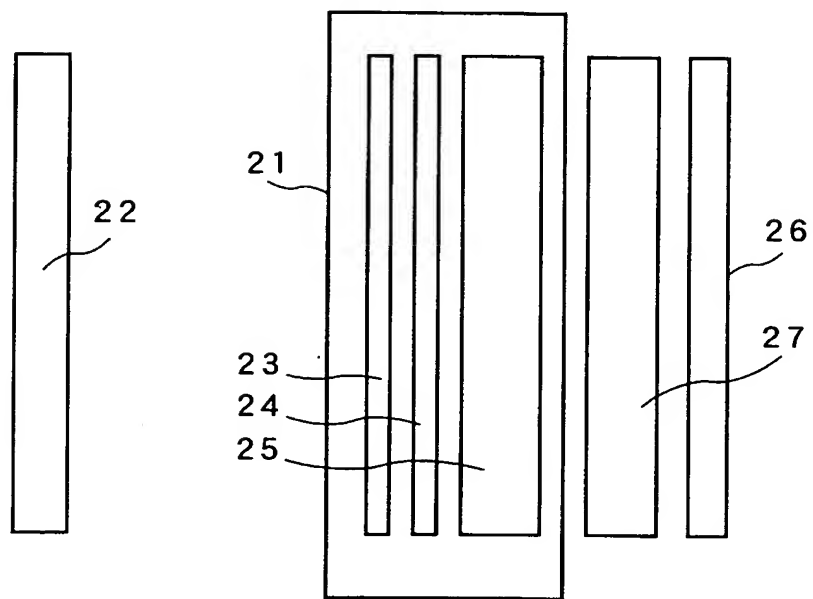


23a、23b: N^+ 拡散層

【図 10】

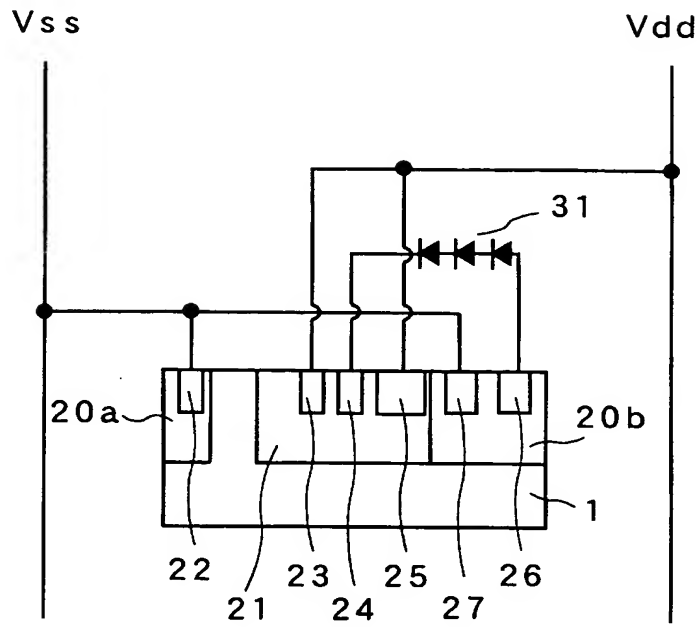


【図 11】

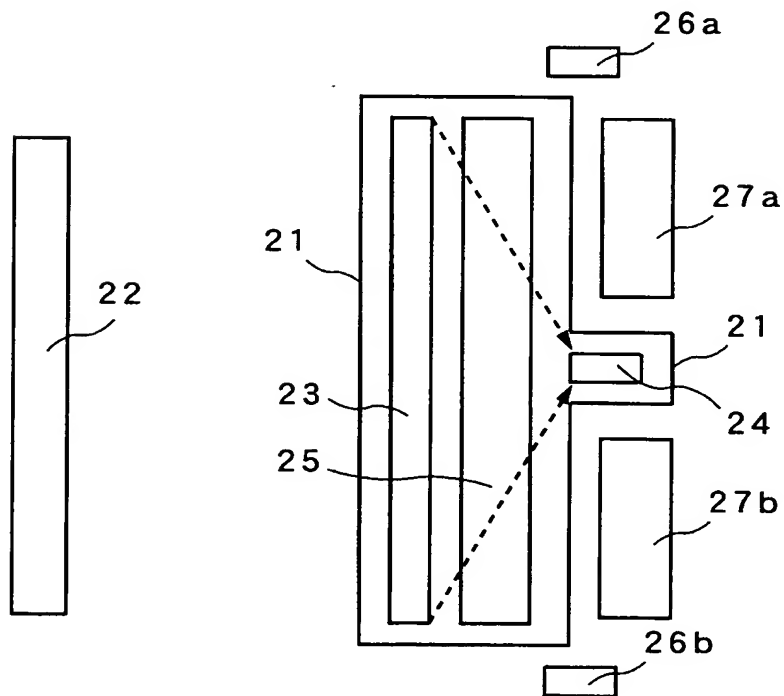


26 : P⁺ 拡散層

【図 12】

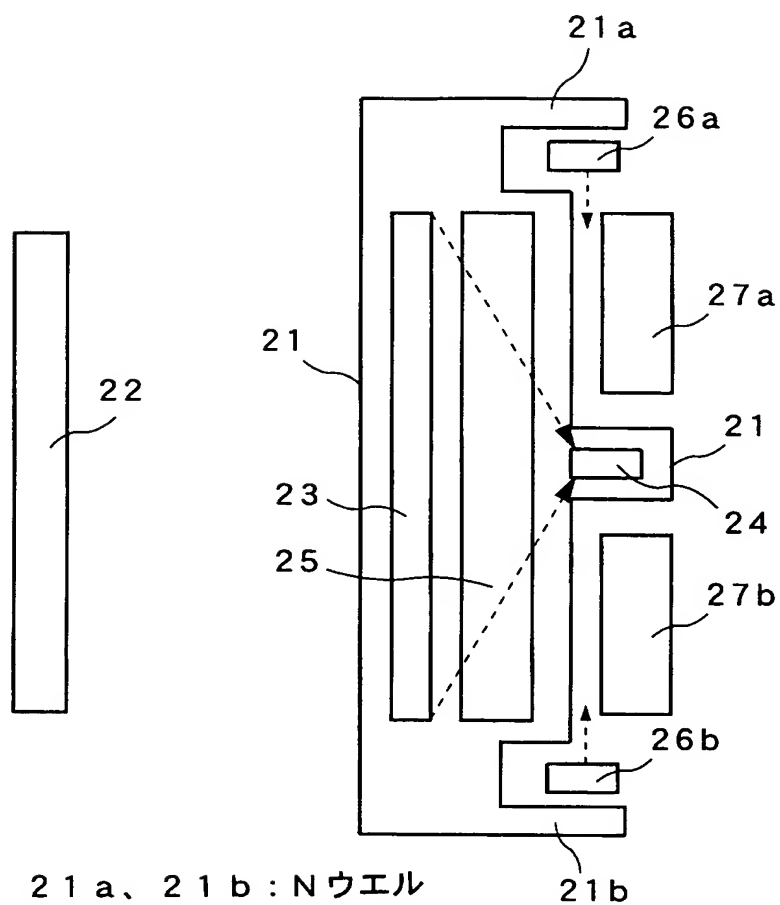


【図 13】

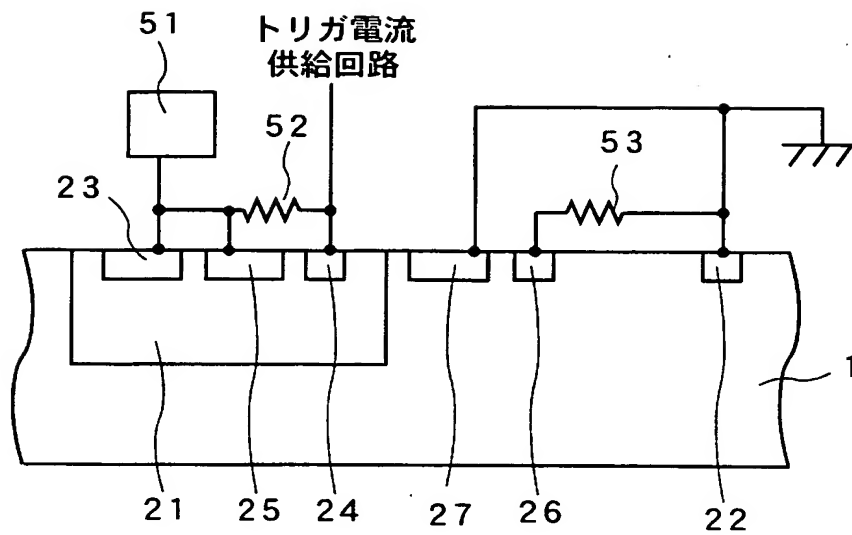


26 a、26 b : P⁺ 拡散層

【図 14】

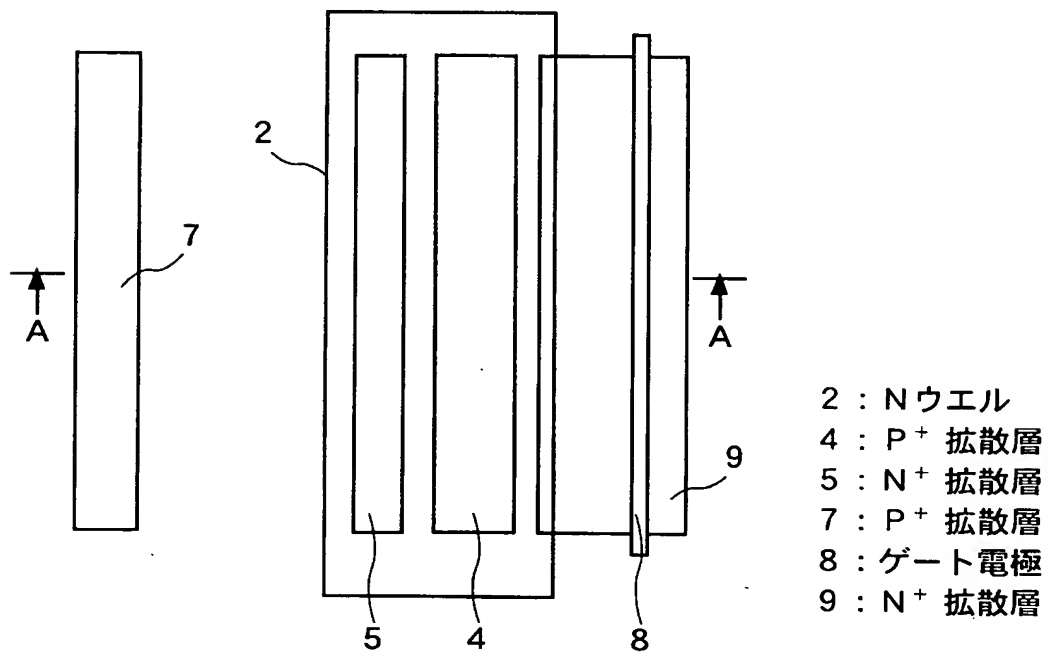


【図 15】



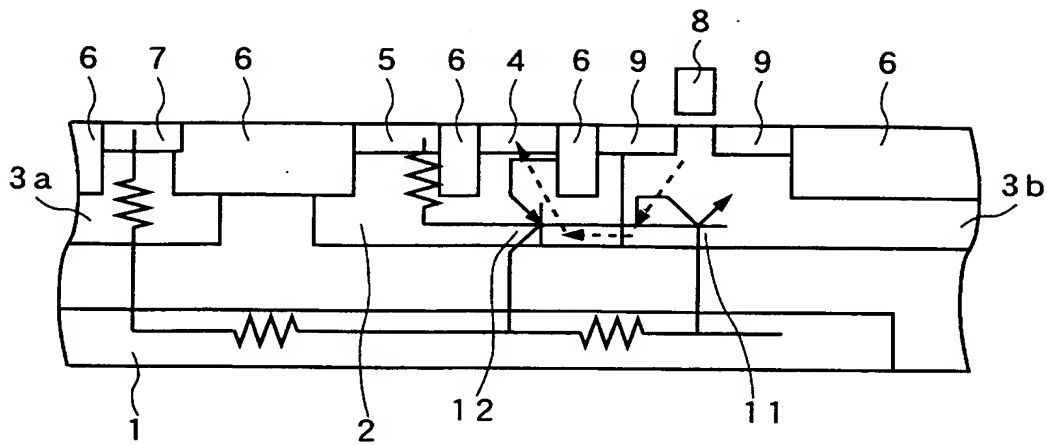
51 : パッド
52 : 抵抗素子
53 : 抵抗素子

【図 16】



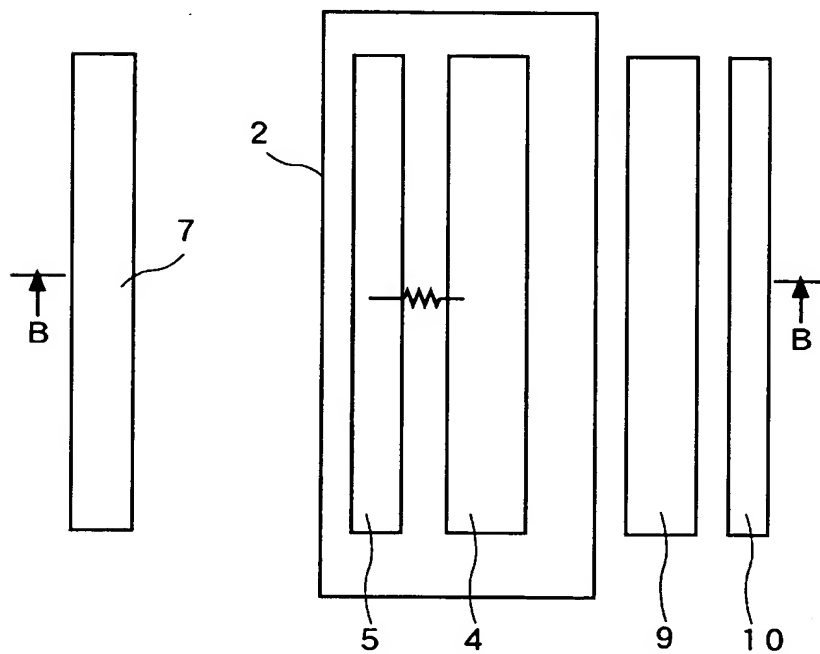
2 : Nウエル
4 : P⁺ 拡散層
5 : N⁺ 拡散層
7 : P⁺ 拡散層
8 : ゲート電極
9 : N⁺ 拡散層

【図 17】



3 a、3 b : P ウエル
 1 1 : 横型 NPN バイポーラ素子
 1 2 : 縦型 PNP バイポーラ素子

【図 18】



1 0 : P⁺ 拡散層

【書類名】 要約書

【要約】

【課題】 縦型バイポーラトランジスタ素子を高速動作させることができ、基板電流を効率的に供給することができ、更にレイアウト面積を低く抑制することができる静電気放電保護素子を提供する。

【解決手段】 第2のPウェル20a内には、グラウンドコンタクトとなるラッチアップ防止用P⁺拡散層22が形成され、Nウェル21内には、ウェルコンタクトのN⁺拡散層23と、トリガ電流供給用のN⁺拡散層24と、サイリスタのアノードとなるP⁺拡散層25とが形成され、第1のPウェル20b内には、サイリスタのカソードとなるN⁺拡散層27と、NMOSトランジスタのソース28及びドレイン29が形成されている。NMOSトランジスタ40のドレインはトリガ電流供給用N⁺拡散層24に接続されており、ソースはグラウンド線V_{ss}に接続されている。カソード及びP⁺拡散層22はグラウンドに接続されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 5 3 1 3 3
受付番号	5 0 2 0 1 8 3 9 1 6 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 2 月 5 日

< 認定情報・付加情報 >

【提出日】	平成14年12月 4日
-------	-------------

次頁無

特願 2 0 0 2 - 3 5 3 1 3 3

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社